



GN009 应用手册

GaN E-HEMTs的PCB Layout

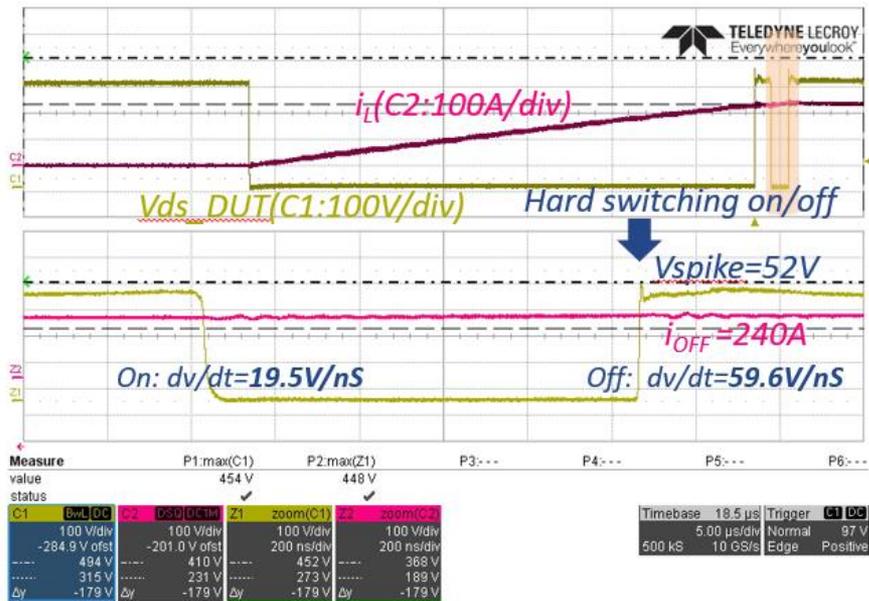
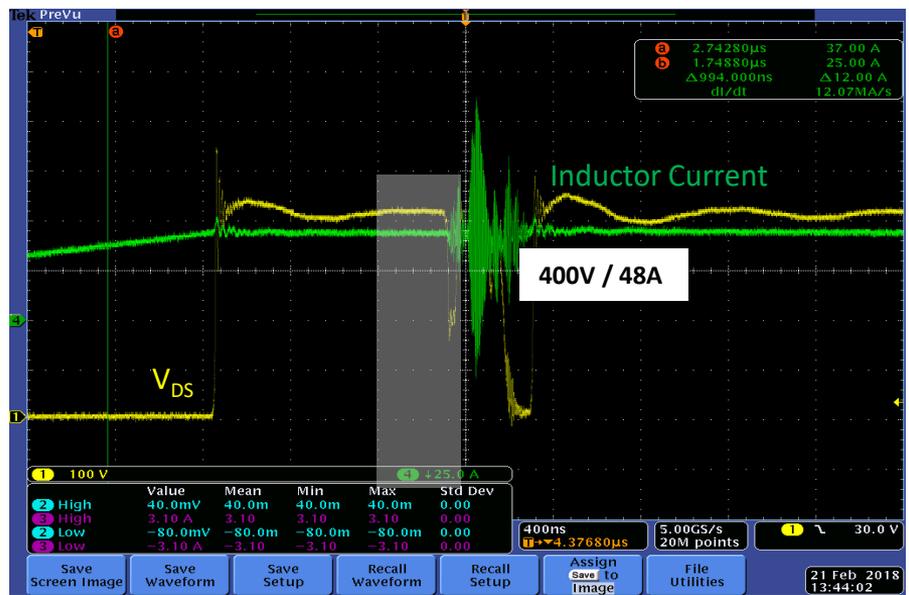
更新于2021年7月20日

- 本文介绍了应用GaN Systems器件的PCB布局设计原则， 包含以下四种电路：
 - 1) 单管GaN E-HEMTs 的隔离驱动电路
 - 2) 并联GaN E-HEMTs 的隔离驱动电路
 - 3) 半桥自举门极驱动电路
 - 4) EZDriveSM 电路
- 优化的电路板布局和极低的封装电感是优化氮化镓器件开关性能的关键

- GaN Systems的器件具有极低的封装电感
- 良好的PCB布局可有效减小寄生电感，充分发挥GaN器件的性能优势
- 本应用手册介绍了对GaN器件电路进行PCB布局的关键步骤

为什么我们需要优化PCB layout?

- GaN 增强型器件开关速度远快于Si MOSFETs, 所以需要恰当的PCB 布局设计以减小寄生电感
- 寄生电感会导致较高的过冲电压, 振荡, 和EMI问题, 使得GaN器件承受过大的电气应力



Measurement Setup: Lecroy WaveSurfer 10M Oscilloscope, HVD3106 Differential Probe(C1), CWT-3LFB mini Rogowski Coil(C2)

Quasi-common source 电感不平衡导致设计失败的示例(400 V/48 A DPT)

良好的PCB布局的开关波形示例 (400 V/240 A DPT)

PCB Layout 步骤

步骤1:确定原理图并确定每个关键电路的构成

- 单管GaN 器件的隔离驱动电路
- 并联GaN 器件的隔离驱动电路
- 半桥自举门极驱动电路
- EZDriveSM 电路

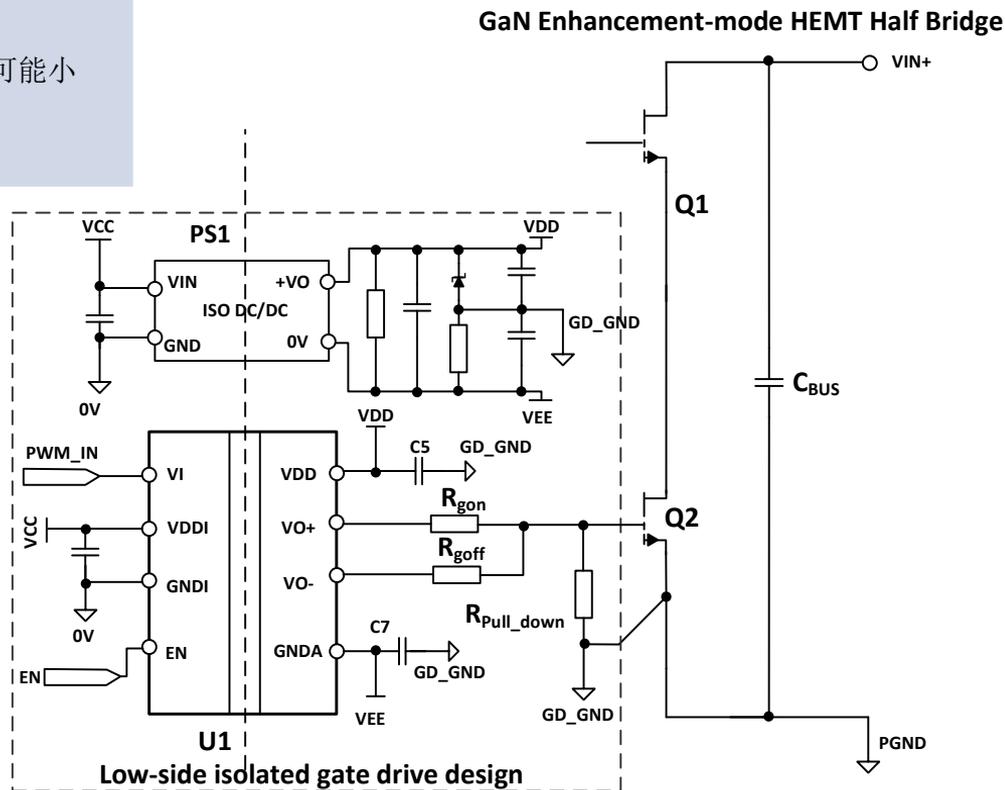
步骤2: 根据设计优先级和电流方向放置组件

- 将组件尽可能靠近放置
- 根据当前电流方向，依次设置组件
- 如果在最小化所有回路方面存在冲突，请参阅幻灯片7/8/9/10上列出的优先级

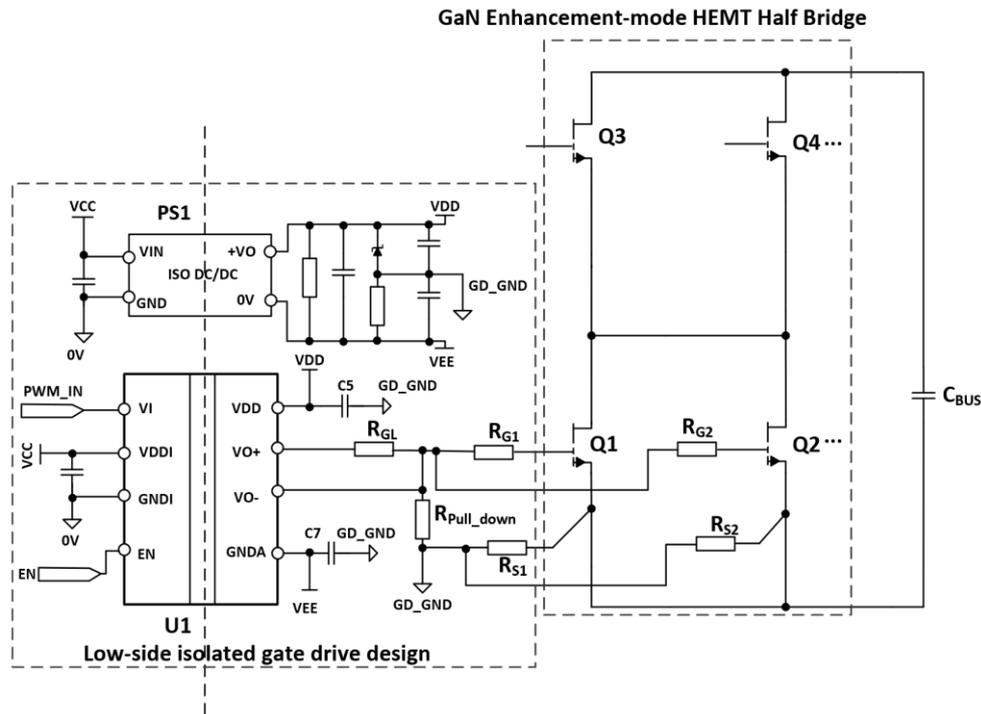
步骤3:以最佳方式连接组件，通过磁通消除技术降低寄生电感

优先级	关键电路	元件	关键电路设计原则
1	功率换流回路	Q1,Q2,C _{BUS}	尽可能小
2a	下管门极驱动回路（开通）	C5,U1,R _{gon} ,Q2	
2b	下管门极驱动电路（关断）	C7,U1,R _{goff} ,Q2	

- 上管门极驱动电路与下管门极驱动电路相同(未在图中标出)
- 上管门级电路驱动的优先级与下管相同



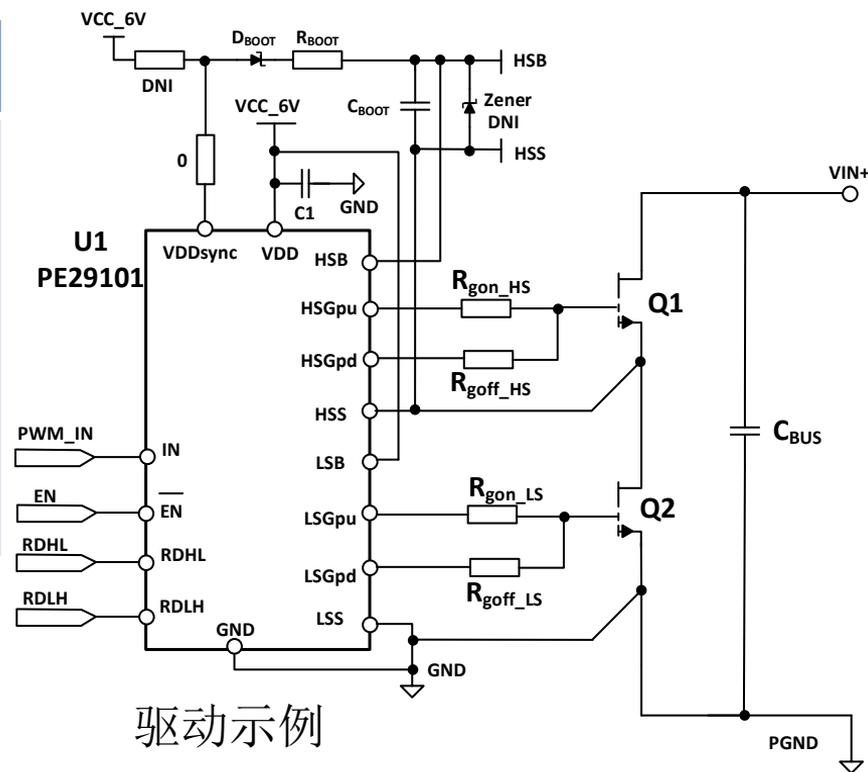
优先级	关键电路	元件	关键电路设计原则
1a	Quasi-common source loop (上管)	Q3, Q4	尽可能小 并联器件尽可能对称
1b	Quasi-common source loop (下管)	Q1, Q2	
2	功率换流回路	C_{BUS} , Q3/Q4, Q1/Q2	
3a	下管门极驱动回路 (开通)	$C5$, U1, R_{GL} , $R_{G1}/Q1/R_{S1}$, $R_{G2}/Q2/R_{S2}$	
3b	下管门极驱动电路 (关断)	$C7$, U1, $R_{G1}/Q1/R_{S1}$, $R_{G2}/Q2/R_{S2}$	



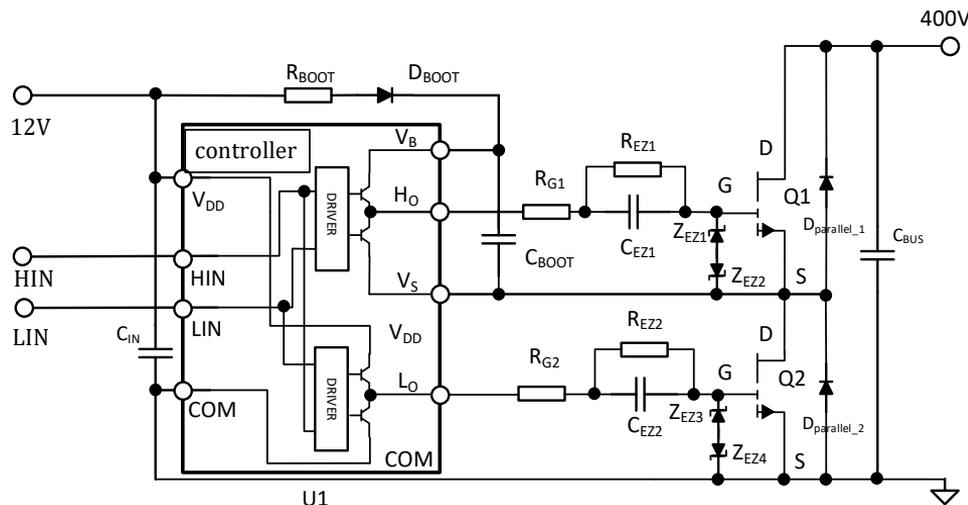
- 上管门极驱动电路与下管门极驱动电路相同(未在图中标出)
- 上管门级电路驱动的优先级与下管相同
- 需要独立的门极电阻(R_{G1}/R_{G2})和源极电阻(R_{S1}/R_{S2})

优先级	关键电路	元件	关键电路设计原则
1	功率换流回路	Q1, Q2, C _{BUS}	尽可能小
2a	上管门极驱动回路（开通）	D _{BOOT} , R _{BOOT} , C _{BOOT} , U1, R _{gon_HS} , Q1	
2b	上管门极驱动电路（关断）	Q1, R _{goff_HS} , U1	
2c	下管门极驱动回路（开通）	C1, U1, R _{gon_LS} , Q2	
2d	下管门极驱动电路（关断）	Q2, R _{goff_LS} , U1	

- 使用以上表格确定关键电路，元件和优先级



优先级	关键电路	元件	关键电路设计原则
1	功率换流回路	Q1, Q2, C _{BUS}	尽可能小
2a	上管门极驱动回路 (开通)	R _{BOOT} , D _{BOOT} , C _{BOOT} , U1, R _{G1} , R _{EZ1} , C _{EZ1} , Z _{EZ1} , Z _{EZ2} , Q1	
2b	上管门极驱动电路 (关断)	Q1, Z _{EZ1} , Z _{EZ2} , R _{EZ1} , C _{EZ1} , R _{G1} , U1	
2c	下管门极驱动回路 (开通)	U1, R _{G2} , R _{EZ2} , C _{EZ2} , Z _{EZ3} , Z _{EZ4} , Q2	
2d	下管门极驱动电路 (关断)	Q2, Z _{EZ3} , Z _{EZ4} , R _{EZ2} , C _{EZ2} , R _{G2} , U1	



简化电路图: 集成驱动的控制

- 使用以上表格确定关键电路，元件和优先级

更多关于EZDriveSM 的信息可参考:

<https://gansystems.com/wp-content/uploads/2018/12/GN010-EZDrive-Solution-for-GaN-Systems-E-HEMTs-20181221.pdf>

PCB Layout 步骤

步骤1: 确定原理图并确定每个关键电路的构成

- 单管GaN 器件 的隔离驱动电路
- 并联GaN 器件的隔离驱动电路
- 半桥自举门极驱动电路
- EZDriveSM 电路

步骤2: 根据设计优先级和电流方向放置组件

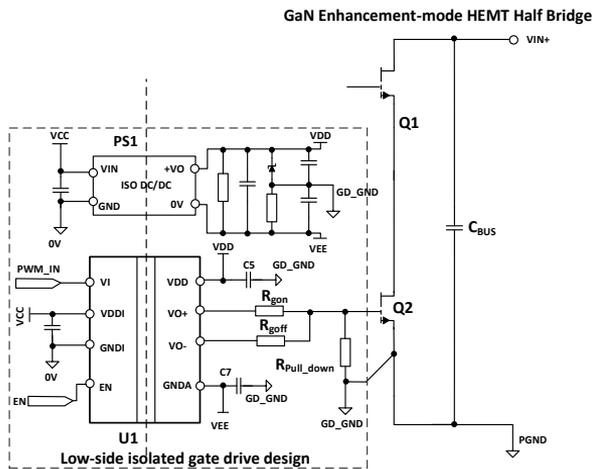
- 将组件尽可能靠近放置
- 根据当前电流方向，依次设置组件
- 如果在最小化所有回路方面存在冲突，请参阅幻灯片7/8/9/10上列出的优先级

步骤3: 以最佳方式连接组件，通过磁通消除技术降低寄生电感

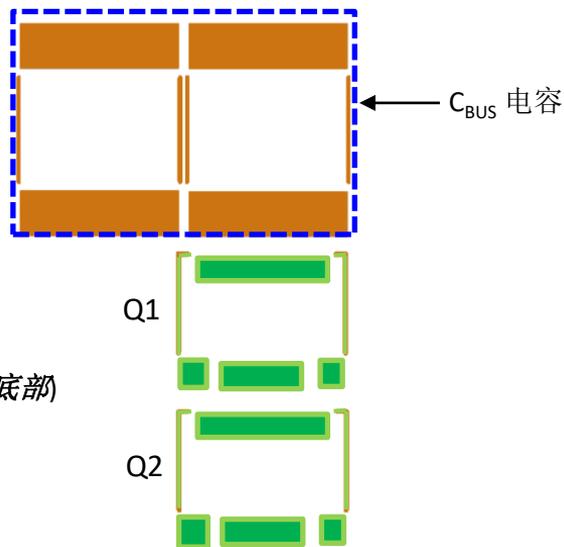
步骤 2.1: 功率换流回路 (顶部散热器件)

示例: 单管隔离门极驱动电路

- 将组件尽可能靠近放置

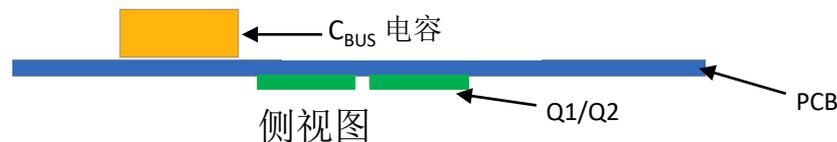


元件位置



顶部散热器件
(GaN 器件 Q1/Q2 在 PCB 底部)

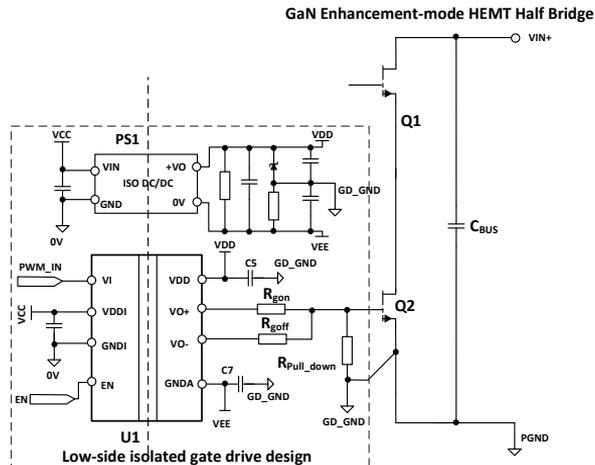
优先级	关键电路	元件	关键电路设计原则
1	功率换流回路	Q1,Q2,C _{BUS}	尽可能小
2a	下管门极驱动回路 (开通)	C5,U1,R _{gon} ,Q2	
2b	下管门极驱动电路 (关断)	C7,U1,R _{goff} ,Q2	



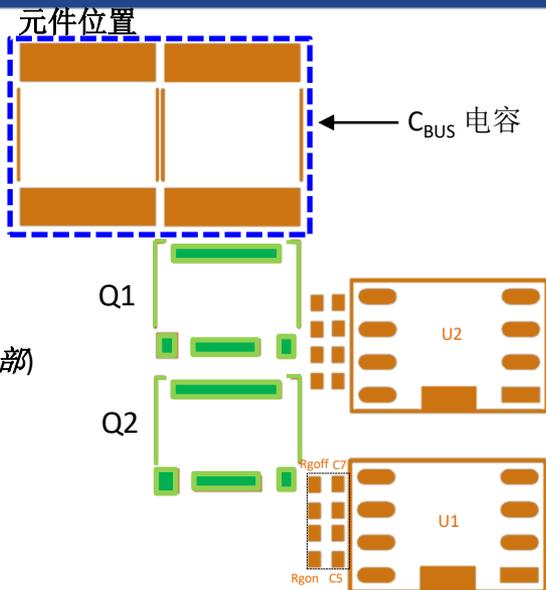
步骤 2.2: 门极驱动回路 (顶部散热器件)

示例: 单管隔离门极驱动电路

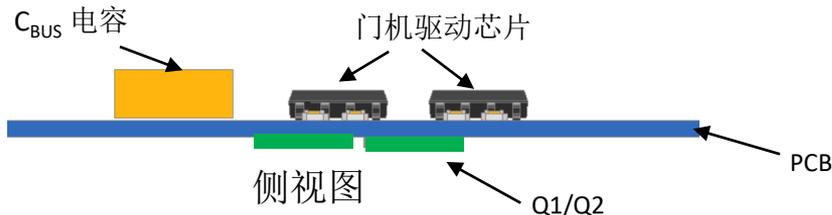
- 在靠近门极处放置驱动
- Kelvin源极提供更干净的驱动电流回路



顶部散热器件
(GaN 器件 Q1/Q2 在 PCB 底部)



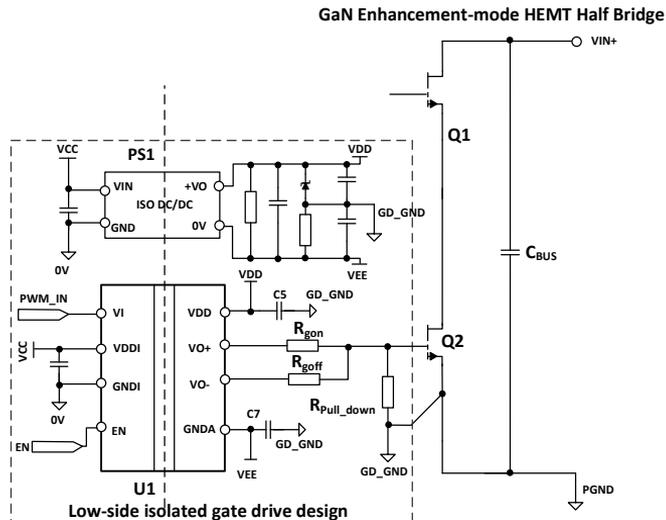
优先级	关键电路	元件	关键电路设计原则
1	功率换流回路	Q1,Q2, C_{BUS}	尽可能小
2a	下管门极驱动回路 (开通)	C5,U1, R_{gon} ,Q2	
2b	下管门极驱动电路 (关断)	C7,U1, R_{goff} ,Q2	



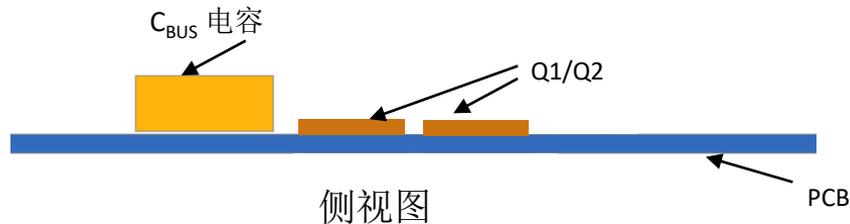
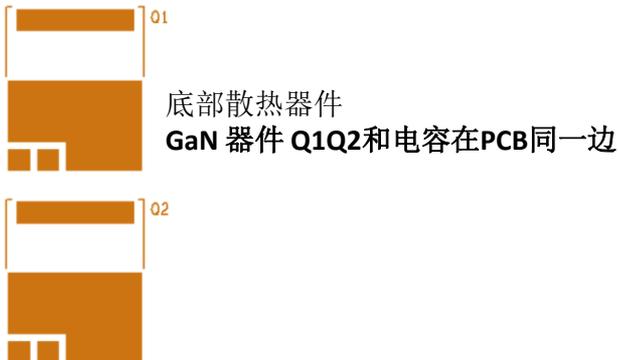
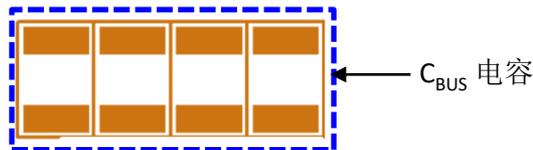
步骤 2.1: 功率换流回路 (底部散热器件)

示例: 单管隔离门极驱动电路

- 将组件尽可能靠近放置



元件位置

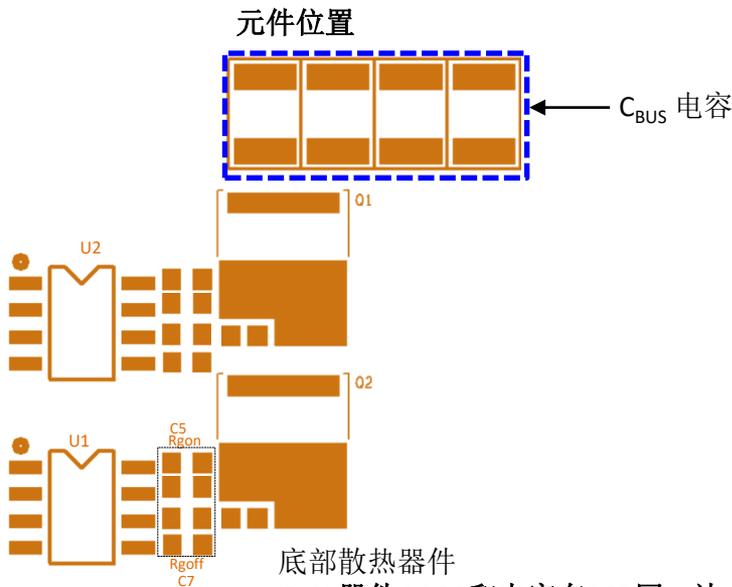
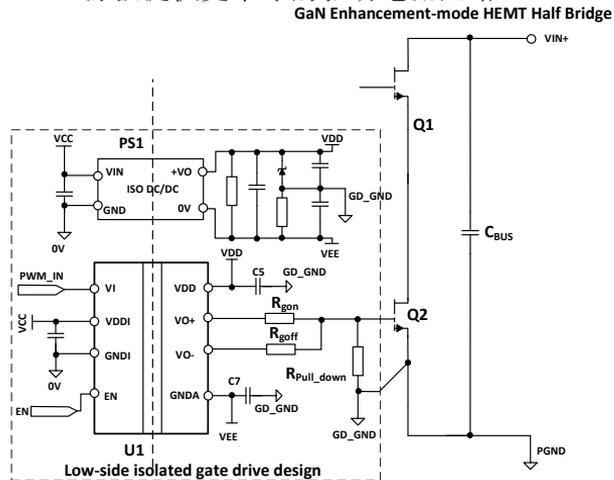


优先级	关键电路	元件	关键电路设计原则
1	功率换流回路	Q1,Q2, C_{BUS}	尽可能小
2a	下管门极驱动回路 (开通)	C5,U1, R_{gon} ,Q2	
2b	下管门极驱动电路 (关断)	C7,U1, R_{goff} ,Q2	

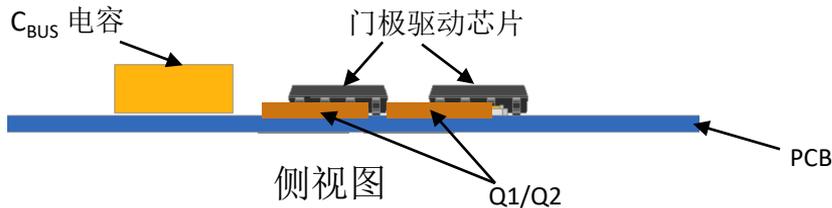
步骤 2.2: 门极驱动回路 (底部散热器件)

示例: 单管隔离门极驱动电路

- 在靠近门极处放置驱动
- Kelvin源极提供更干净的驱动电流回路



底部散热器件
GaN 器件Q1Q2和电容在PCB同一边



优先级	关键电路	元件	关键电路设计原则
1	功率换流回路	Q1,Q2,C _{BUS}	尽可能小
2a	下管门极驱动回路 (开通)	C5,U1,R _{gon} ,Q2	
2b	下管门极驱动电路 (关断)	C7,U1,R _{goff} ,Q2	

PCB Layout 步骤

步骤1: 确定原理图并确定每个关键电路的构成

- 单管GaN 器件的隔离驱动电路
- 并联GaN 器件的隔离驱动电路
- 半桥自举门极驱动电路
- EZDriveSM 电路

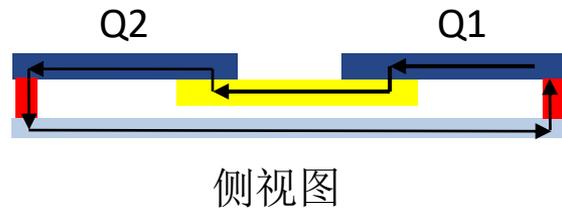
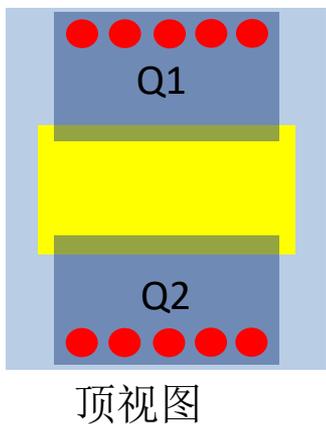
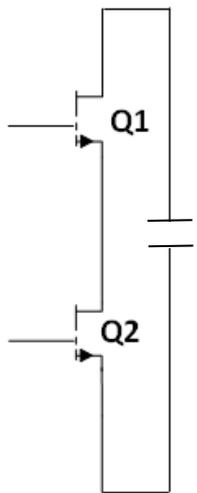
步骤2: 根据设计优先级和电流方向放置组件

- 将组件尽可能靠近放置
- 根据当前电流方向，依次设置组件
- 如果在最小化所有回路方面存在冲突，请参阅幻灯片7/8/9/10上列出的优先级

步骤3: 以最佳方式连接组件，通过磁通消除技术降低寄生电感

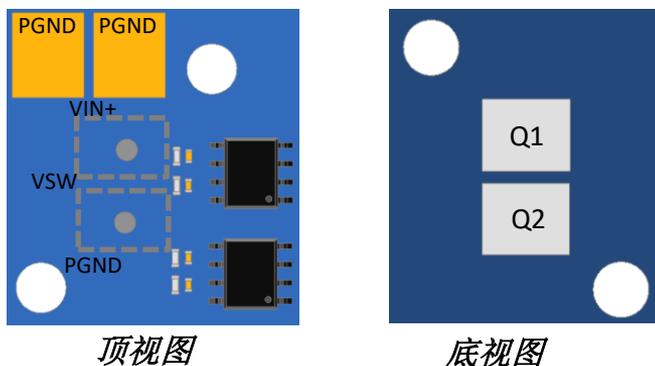
步骤 3.1: 简介- 磁通抵消降低电感

- 当两个相邻的导体以相反的电流方向靠近放置时，两个电流产生的磁通量将相互抵消
- 这种磁通抵消效果可以降低寄生电感
- 调整layout，使高频电流在两个相邻的PCB层上以相反的方向流动

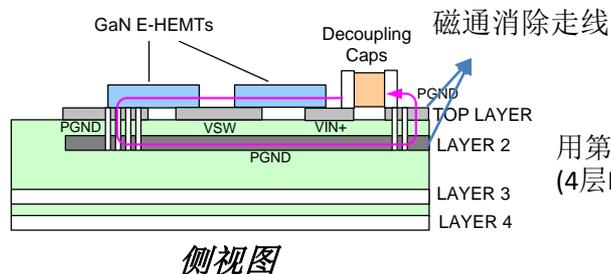
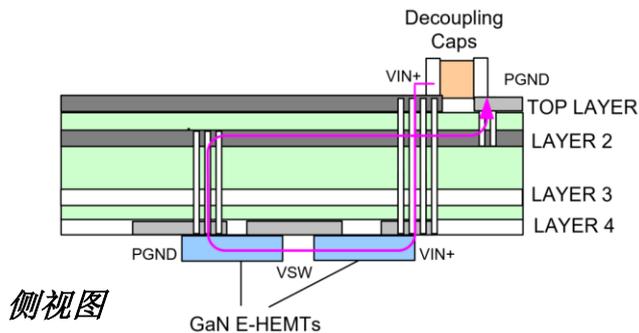
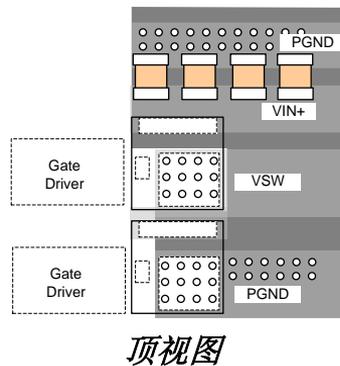


步骤 3.2: 应用磁通消除技术连接重要器件

示例: 顶部散热器件
(GaN 器件在PCB 底部)



示例: 底部散热器件
(门极驱动/GaN 器件/ 电容在PCB 同一边)

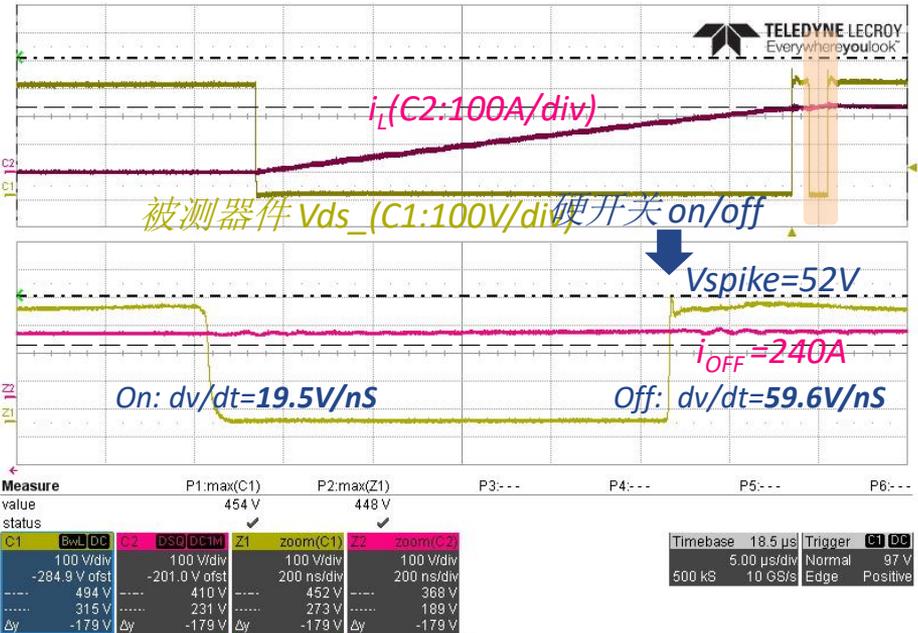
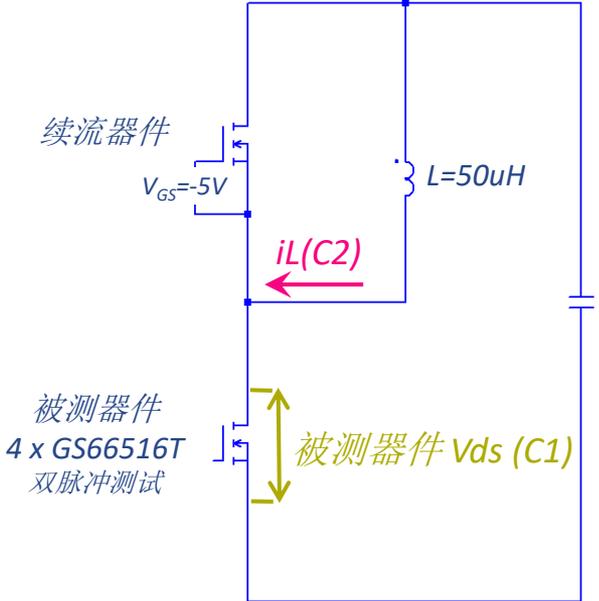


用第二层作为接地回路
(4层PCB)

实验示例：400V / 240A DPT硬开关测试

被测器件: 4 x GS66516T 并联
续流器件: 4 x GS66516T 并联

测试条件
 $V_{BUS} = 400\text{ V}$
 $I_{DS_ON} = 231\text{ A}$
 $I_{DS_OFF} = 240\text{ A}$
 $V_{GS} = +6.8\text{ V}/-5\text{ V}$
 $R_{G_ON} = 4.55\ \Omega$
 $R_{G_OFF} = 1.25\ \Omega$



Measurement Setup: Lecroy WaveSurfer 10M Oscilloscope, HVD3106 Differential Probe(C1), CWT-3LFB mini Rogowski Coil(C2)

- 在GaN Systems器件并联的设计中，良好的PCB布局可以实现电流平衡，及在额定电流下可靠地硬开关。
- 400V / 240A硬开关测试波形如图所示， V_{DS} 有约200V的裕量

- 由于GaN器件的开关速度更快，因此需要良好的PCB布局技术，以减小寄生电感，充分利用器件的特性。
- PCB布局对于优化GaN器件性能至关重要。最优的PCB布局以及低寄生电感的GaN^{NPX}®封装使GaN器件性能优势充分发挥。



Product and application support at
gansystems.com